



PTO/SB/21 (08-00)

Approved for use through 10/31/2002. OMB 0651-0031

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

Application Number 10/605,327

Filing Date 09/24/2003

First Named Inventor Chao-Cheng Lee

Group Art Unit

Examiner Name

Total Number of Pages in This Submission 3

Attorney Docket Number REAP0004USA

ENCLOSURES (check all that apply)

☒ Fee Transmittal Form☐ Fee Attached☐ Amendment / Reply☐ After Final☐ Affidavits/declaration(s)☐ Extension of Time Request☐ Express Abandonment Request☐ Information Disclosure Statement☒ Certified Copy of Priority Document(s)☐ Response to Missing Parts/Incomplete Application☐ Response to Missing Parts under 37 CFR 1.52 or 1.53☐ Assignment Papers (for an Application)☐ Drawing(s)☐ Licensing-related Papers☐ Petition☐ Petition to Convert to a Provisional Application☐ Power of Attorney, Revocation Change of Correspondence Address☐ Terminal Disclaimer☐ Request for Refund☐ CD, Number of CD(s) _____☐ After Allowance Communication to Group☐ Appeal Communication to Board of Appeals and Interferences☐ Appeal Communication to Group (Appeal Notice, Brief, Reply Brief)☐ Proprietary Information☐ Status Letter☐ Other Enclosure(s) (please identify below):

Remarks

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name

Winston Hsu, Reg. No.: 41,526

Signature

Date

10/28/2003

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Washington, DC 20231 on this date:

Typed or printed name

Signature

Date

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Approved for use through 04/30/2003. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

FEE TRANSMITTAL for FY 2003

Effective 01/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number 10/605,327
Filing Date 09/24/2003
First Named Inventor Chao-Cheng Lee
Examiner Name
Art Unit
Attorney Docket No. REAP0004USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number
Deposit Account Name

50-0801

North America International Patent Office

The Commissioner is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments
☒ Charge any additional fee(s) during the pendency of this application
☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1001 750	2001 375	Utility filing fee	
1002 330	2002 165	Design filing fee	
1003 520	2003 260	Plant filing fee	
1004 750	2004 375	Reissue filing fee	
1005 160	2005 80	Provisional filing fee	
SUBTOTAL (1)			(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims - 20** = X =
Independent Claims - 3** = X =
Multiple Dependent =

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 84	2201 42	Independent claims in excess of 3
1203 280	2203 140	Multiple dependent claim, if not paid
1204 84	2204 42	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for <i>ex parte</i> reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	
1252 410	2252 205	Extension for reply within second month	
1253 930	2253 465	Extension for reply within third month	
1254 1,450	2254 725	Extension for reply within fourth month	
1255 1,970	2255 985	Extension for reply within fifth month	
1401 320	2401 160	Notice of Appeal	
1402 320	2402 160	Filing a brief in support of an appeal	
1403 280	2403 140	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,300	2453 650	Petition to revive - unintentional	
1501 1,300	2501 650	Utility issue fee (or reissue)	
1502 470	2502 235	Design issue fee	
1503 630	2503 315	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 750	2809 375	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 750	2810 375	For each additional invention to be examined (37 CFR 1.129(b))	
1801 750	2801 375	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	

Other fee (specify)

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

(Complete if applicable)

Name (Print/Type) Winston Hsu
Registration No. (Attorney/Agent) 41,526
Telephone 886289237350
Signature *Winston Hsu*
Date 10/28/2003

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Washington, DC 20231.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.



PTO/SB/02B (11-00)

Approved for use through 10/31/2002. OMB 0651-0032

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

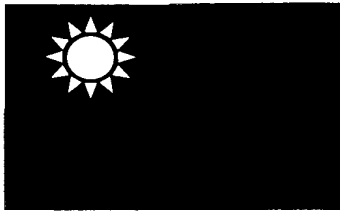
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092116307	Taiwan R.O.C	06/16/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請 日：西元 2003 年 06 月 16 日
Application Date

申請 案 號：092116307
Application No.

申請 人：瑞昱半導體股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 9 月 17 日
Issue Date

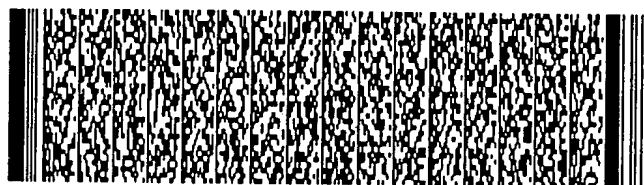
發文字號：09220937250
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	可調整式阻抗電路
	英 文	ADJUSTABLE IMPEDANCE CIRCUIT
二、 發明人 (共2人)	姓 名 (中文)	1. 李朝政
	姓 名 (英文)	1. Lee, Chao-Cheng
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 桃園縣中壢市新生路三吉公寓二巷六十一之一號
	住居所 (英 文)	1. No. 61-1, Lane 2, Shin-Sheng Rd., Jung-Li City, Tao-Yuan Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 瑞昱半導體股份有限公司
	名稱或 姓 名 (英文)	1. Realtek Semiconductor Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹縣新竹科學園區工業東九路二號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 2 Industry E. Rd. IX, Hsin-Chu Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 葉博任
	代表人 (英文)	1. Yeh, Po-Len

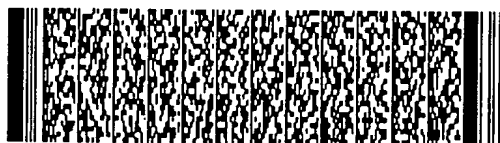


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	2. 張家潤
	姓 名 (英文)	2. Chang, Chia-Jun
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 台北市南京東路五段六十六巷二十二弄一號七樓
	住居所 (英 文)	2. 7F, No. 1, Alley 22, Lane 66, Sec. 5, Nan-Jing E. Rd., Taipei City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：可調整式阻抗電路)

本發明係提供一種可調整式阻抗電路，用來提供一第一節點及一第二節點之間之等效阻抗，該電路包含有一第一阻抗；一第一開關器，電連接於該第一阻抗，用來依據一第一控制訊號開閉以選擇性地將該第一阻抗電連接於該第一節點及該第二節點之間；一第二阻抗；一第二開關器，電連接於該第二阻抗，用來依據一第二控制訊號開閉以選擇性地將該第二阻抗電連接於該第一節點及該第二節點之間；以及一控制電路，電連接於該第一開關器之控制端及該第二開關器之控制端，用來產生該第一及該第二控制訊號。

五、(一)、本案代表圖為：第三圖

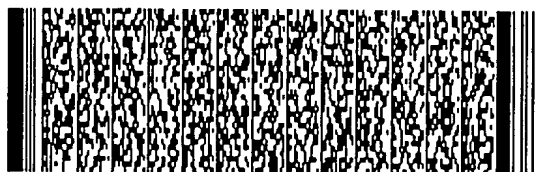
(二)、本案代表圖之元件代表符號簡單說明

40 可調整式阻抗電路

42 第一阻抗

六、英文發明摘要 (發明名稱：ADJUSTABLE IMPEDANCE CIRCUIT)

An adjustable impedance circuit for providing an equivalent impedance between a first node and a second node. The adjustable impedance circuit includes a first impedance element; a first switch element electrically connected to the first impedance element for being turned on/off according to a first control signal to selectively electrically connect the first impedance element



四、中文發明摘要 (發明名稱：可調整式阻抗電路)

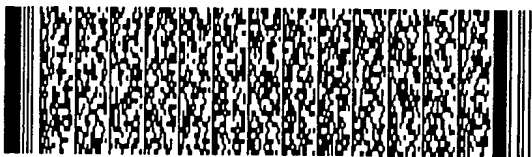
44 第一開關器

46 第二阻抗

48 第二開關器

六、英文發明摘要 (發明名稱：ADJUSTABLE IMPEDANCE CIRCUIT)

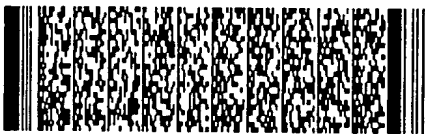
between the first node and the second node; a second impedance element; a second switch element electrically connected to the second impedance element for being turned on/off according to a second control signal to selectively electrically connect the second impedance element between the first node and the second node; and a control circuit electrically connected to a control



四、中文發明摘要 (發明名稱：可調整式阻抗電路)

六、英文發明摘要 (發明名稱：ADJUSTABLE IMPEDANCE CIRCUIT)

terminal of the first switch element and a control terminal of the second switch element, for generating the first and the second control signals.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

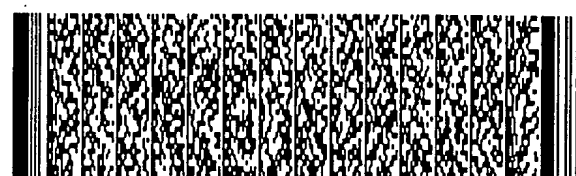
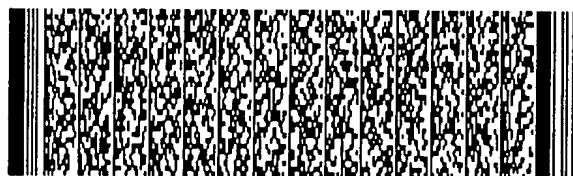
發明所屬之技術領域

本發明提供一種阻抗電路，尤指一種經由控制控制訊號之工作週期以決定其等效阻抗之可調整式阻抗電路。

先前技術

在積體電路中製造被動阻抗元件時有兩個最主要的問題，其一為數值大的被動阻抗元件於積體電路當中所佔面積的問題。例如電阻於積體電路中通常以金屬線段或多晶矽線段實現，而其電阻值則與該線段的長度成正比，又如電容於積體電路中通常以兩金屬層中間夾有一介電質層之結構來實現，其電容值則與此一結構之面積成正比。另一問題則為積體電路中以半導體製程技術所製造出來的被動阻抗元件之數值精確度不高的問題。由於製程中係存在許多可能造成誤差的因素存在，故無法依照電路設計的需要於積體電路中製造出數值與理論值完全相同的被動阻抗元件。以電阻為例，即使在相同的製程條件之下所製造出來的電阻，彼此之間的阻值也會有微小的差異。因此，電阻的等效阻抗值的精確度，會因為製程差異的因素，而有其限制。尤其當要製造兩個數值十分接近的電阻時（例如電阻值為 R 以及 $R(1 + e^{-6})$ 之兩電阻），習知的半導體製程技術將無法滿足此一需求。

發明內容



五、發明說明 (2)

本發明之主要目的在於提供一種經由控制該控制訊號之工作週期以決定其等效阻抗之可調整式阻抗電路，以解決上述習知的問題。

本發明之可調整式阻抗電路係包含有一電連接於一第一開關器之第一阻抗以及一電連接於一第二開關器之第二阻抗，並且分別利用一第一控制訊號及一第二控制訊號控制該第一開關器及該第二開關器之開閉，使得一第一節點及一第二節點之間之等效阻抗值係依據該第一阻抗之第一阻抗值、該第二阻抗之第二阻抗值、以及該第一及第二控制訊號之特性而決定。由於目前之電路設計技術中能夠輕易達到對數位訊號之特性（例如第一及第二控制訊號之工作週期）作精密的控制，因此可解決習知技術中無法製造出兩個數值十分接近的阻抗之問題。

實施方式

請參閱圖一，本發明的可調整式阻抗電路 40 之第一實施例的示意圖。於本實施例中，第一阻抗 42 係為一電阻值為 R_1 之電阻，第二阻抗 46 係為一電阻值為 R_2 之電阻，第一開關器 44 包含有一第一開關 50，用來依據第一控制訊號 CTRL 開閉，於本實施例中第一開關 50 係為一傳輸閘 (Transmission Gate)，由一 NMOS 電晶體及一 PMOS 電晶

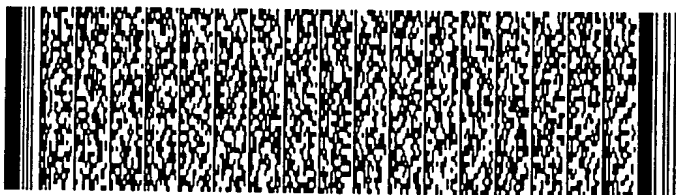


五、發明說明 (3)

體所組成，該 NMOS電晶體之閘極係電連接於第一控制訊號 CTRL₁，該 PMOS電晶體之閘極則透過一反向器電連接於第一控制訊號 CTRL₁，以正確地操作該傳輸閘之開閉。而第二開關器 48則包含有一第三開關 52，，用來依據第二控制訊號開閉 CTRL₂，於本實施例中第一開關 50亦為一傳輸閘，由一 NMOS電晶體及一 PMOS電晶體所組成，該 NMOS電晶體之閘極係電連接於第二控制訊號 CTRL₂，該 PMOS電晶體之閘極則透過一反向器電連接於第二控制訊號 CTRL₂，以正確地操作該傳輸閘之開閉。

請參閱圖二，本發明的可調整式阻抗電路 40之第二實施例的示意圖。於本實施例中，第一開關器 44另包含有一第二開關 58，電連接於第二節點 B及第一阻抗 42之另一端點之間，用來依據第一控制訊號 CTRL開閉，而第二開關器 48亦包含有一第四開關 60，電連接於第二節點 B及第二阻抗 46之另一端點之間，用來依據第二控制訊號 CTRL開閉。

於本實施例中，第一開關 54及第二開關 58均為 MOS電晶體（於圖二中顯示為 NMOS電晶體），該等 MOS電晶體之閘極均電連接於第一控制訊號 CTRL₁，用來依據第一控制訊號 CTRL開閉，以正確地操作該等 MOS電晶體之開閉。而第三開關 56及第四開關 60亦均為 MOS電晶體（於圖五中顯示為 NMOS電晶體），該等 MOS電晶體之閘極均電連接於第

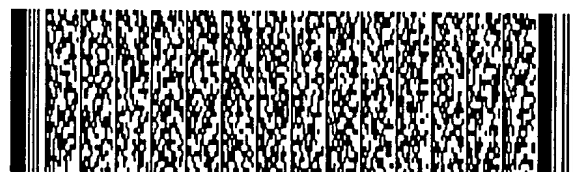


五、發明說明 (4)

二控制訊號 $CTRL_2$ ，用來依據第二控制訊號 $CTRL$ 開閉，以正確地操作該等 MOS 電晶體之開閉。

請注意，於上述之實施例中雖然第一阻抗 42 及第二阻抗 46 係為電阻，但是依據實際上之需要，第一阻抗 42 及第二阻抗 46 亦可為其他之阻抗元件，例如電容及電感等。而於上述之實施例中雖然第一開關器 44 及第二開關器 48 係利用至少一傳輸閘或者至少一 MOS 電晶體來實現，但是其他能夠達到相同目的之元件，亦包含於本發明之涵蓋範圍之內。

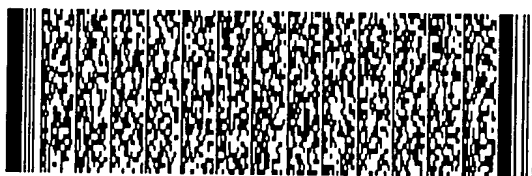
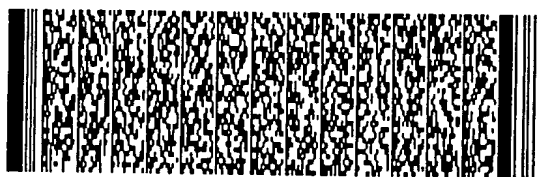
接下來將利用上述本發明之第二實施例中所揭露之可調整式阻抗電路 40 詳細說明本發明之動作原理。請參閱圖三，圖三中顯示於圖二中之第一控制訊號 $CTRL$ 及第二控制訊號 $CTRL_2$ 之一範例的時脈圖。於圖三中，第一控制訊號 $CTRL$ 係為一週期性訊號，其週期為 T_{total} ，而於該週期當中第一控制訊號 $CTRL$ 處於高電壓準位之時間長度為 T_1 ，也就是說，第一控制訊號 $CTRL$ 之工作週期 (Duty Cycle) 即等於 $DC_1 = T_1 / T_{total}$ 。而第二控制訊號 $CTRL_2$ 亦為一週期性訊號，其週期亦為 T_{total} ，而於該週期當中第二控制訊號 $CTRL_2$ 處於高電壓準位之時間長度為 T_2 ，也就是說，第二控制訊號 $CTRL_2$ 之工作週期即等於 $DC_2 = T_2 / T_{total}$ 。由於於圖二之第二實施例中第一控制訊號 $CTRL$ 及第二控制訊號 $CTRL_2$ 係分別用來控制複數個 NMOS 電



五、發明說明 (5)

晶體之開閉，因此於此實施例中第一控制訊號 CTRL 及第二控制訊號 CTRL 均為主動高態 (Active High)，也就是說，當第一控制訊號 CTRL 及第二控制訊號 CTRL 為高電壓準位時，其所控制之 NMOS 電晶體會開啟。請注意，於圖三中第一控制訊號 CTRL 及第二控制訊號 CTRL 係為相互互補之訊號，當然此非必要條件，例如，第一控制訊號 CTRL₁ 及第二控制訊號 CTRL₂ 可在某個時間內同時為低電壓準位。

如圖三所示，於一週期 T_{total} 中在時間 t_0 及時間 t_1 之間，由於第一控制訊號 CTRL 係處於高電壓準位而第二控制訊號 CTRL 處於低電壓準位，因此圖二中之第一開關器 44 會開啟而使得第一阻抗 42 會電連接於第一節點 A 及第二節點 B 之間，同時第二開關器 48 則會關閉而使得第二阻抗 46 並未電連接於第一節點 A 及第二節點 B 之間。故在時間 t_0 及時間 t_1 之間，第一節點 A 及第二節點 B 之間之可調整式阻抗電路 40 的阻抗值係等效於電阻值 R_1 。接下來於一週期 T_{total} 中在時間 t_1 及時間 t_2 之間，由於第一控制訊號 CTRL₁ 係處於低電壓準位而第二控制訊號 CTRL 處於高電壓準位，因此圖二中之第一開關器 44 會關閉而使得第一阻抗 42 並未電連接於第一節點 A 及第二節點 B 之間，同時第二開關器 48 則會開啟而使得第二阻抗 46 會電連接於第一節點 A 及第二節點 B 之間。故在時間 t_1 及時間 t_2 之間，第一節點 A 及第二節點 B 之間之可調整式阻抗電路 40 的阻抗值係等效於



五、發明說明 (6)

電阻值 R_2 。

請參照圖四，其繪示本發明所提出之可調整阻抗電路之運作方法之流程圖。其包括以下步驟：

步驟 10：將第一阻抗與第一節點及第二節點連接
(connect)；

步驟 12：將第一阻抗與第一節點及第二節點不連接
(disconnect)；

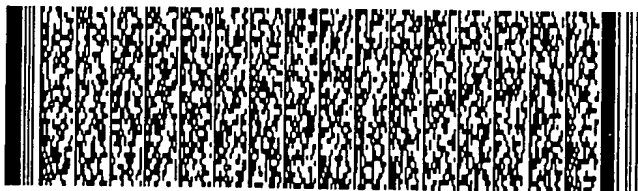
步驟 14：將第二阻抗與第一節點及第二節點連接；以及

步驟 16：將第二阻抗與第一節點及第二節點不連接。

需注意的是，第一阻抗及第二阻抗非必然必需要交替地與第一節點及第二節點連接或不連接。兩者可同時與第一節點及第二節點連接或不連接。

經由上述說明可知，若在時間 t_1 及時間 t_2 之間之時間長度為 T_1 ，而在時間 t_2 及時間 t_3 之間之時間長度為 T_2 ，則當第一控制訊號 CTRL 及第二控制訊號 CTRL 作週期性之切換時，第一節點 A 及第二節點 B 之間之等效阻抗 Z_{eq} 可以用下列之公式一代表：

$$Z_{eq} = \frac{T_1 R_1 + T_2 R_2}{T_{total}} = DC_1 R_1 + DC_2 R_2 \quad \text{公式一}$$



五、發明說明 (7)

於本實施例中，由於該等控制訊號 CTRL 與 CTRL 為互補訊號，故 $T_{total} = T_1 + T_2$ ，且 $DC_2 = 1 - DC_1$ 。將上述等式代入公式一中，則可得到如下列之公式二：

$$Z_{eq} = DC_1 R_1 + (1 - DC_1) R_2 \quad \text{公式二}$$

請注意，為了達到較佳的效能，本實施例中該等控制訊號 CTRL 及 CTRL 之頻率通常會較使用可調整式阻抗電路 40 之積體電路的操作頻率為高（例如高出十倍）。

若在積體電路中需要使用到兩個數值十分接近的電阻，則可利用兩個如上所述之可調整式阻抗電路 40（稱為可調整式阻抗電路 40a 及可調整式阻抗電路 40b），並且假設可調整式阻抗電路 40a 及 40b 中 $R_1 = 2 R_2$ ，且可調整式阻抗電路 40a 之第一控制訊號 CTRL 的工作週期 DC_{1a} 與可調整式阻抗電路 40b 之第一控制訊號 CTRL 的工作週期 DC_{1b} 之間僅存在十分細微的差距（例如 $DC_{1a} = (1 + e^{-6}) DC_{1b}$ ）。如此則可調整式阻抗電路 40a 之等效阻抗 Z_{eqa} 與可調整式阻抗電路 40b 之等效阻抗 Z_{eqb} 之比值可以用下列公式推導出：

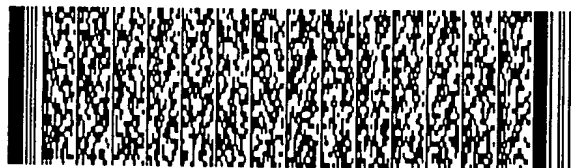
$$\frac{Z_{eqa}}{Z_{eqb}} = \frac{(1 + e^{-6}) DC_{1b} \times 2R_2 + (1 - (1 + e^{-6}) DC_{1b}) R_2}{DC_{1b} \times 2R_2 + (1 - DC_{1b}) R_2} = 1 + \frac{e^{-6}}{1 + \frac{1}{DC_{1b}}} \quad \text{公式三}$$

五、發明說明 (8)

依據公式三所推導出之結果，若可調整式阻抗電路 40b 之第一控制訊號 CTRL 的工作週期 $DC_{1b} = 0.5$ ，則 $Reqa = (1 + e^{-6}/3)Reqb$ 。

由此可知，本發明之可調整式阻抗電路 40 經由第一控制訊號 CTRL 及第二控制訊號 CTRL 之控制，即可達到於積體電路中製造出兩個數值十分接近的阻抗的目的。由於目前之電路設計技術中能夠輕易達到對數位訊號之特性（例如第一及第二控制訊號之工作週期）作非常精密的控制，因此利用本發明即可解決習知技術中無法精密製造出兩個數值十分接近的阻抗之問題。

請注意，於上述實施例中第一控制訊號 CTRL 及第二控制訊號 CTRL 係利用如圖六中所示之互補之週期性訊號來實現，然而依據實際上設計之需要，第一控制訊號 CTRL 及第二控制訊號 CTRL 亦可控制本發明之可調整式阻抗電路 40 以使得第一阻抗 42 及第二阻抗 46 於特定時段中同時電連接於第一節點 A 及第二節點 B 之間，於此時段中第一節點 A 及第二節點 B 之間之等效阻抗係相當於第一阻抗 42 及第二阻抗 46 並聯時之阻抗。而第一控制訊號 CTRL 及第二控制訊號 CTRL 亦可控制本發明之可調整式阻抗電路 40 以使得第一阻抗 42 及第二阻抗 46 於特定時段中同時自第一節點 A 及第二節點 B 之間斷路，於此時段中第一節點 A 及第二



五、發明說明 (9)

節點 B 之間係相當於斷路。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變與修飾，皆屬於本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為本發明之第一實施例的示意圖。

圖二為本發明之第二實施例的示意圖。

圖三為圖二中之控制訊號的時序圖。

圖四為本發明所提出之可調整阻抗電路之運作方法之流程圖。

圖式之符號說明

40 可調整式阻抗電路

44 第一開關器

48 第二開關器

52、56 第三開關

60 第四開關

42 第一阻抗

46 第二阻抗

50、54 第一開關

58 第二開關



六、申請專利範圍

1. 一種阻抗電路，用來於該第一節點與該第二節點之間提供一等效阻抗，包含：

- 一第一阻抗，用來提供一第一阻抗值；
- 一第一開關器，電連接於該第一阻抗；
- 一第二阻抗，用來提供一第二阻抗值；以及
- 一第二開關器，電連接於該第二阻抗；

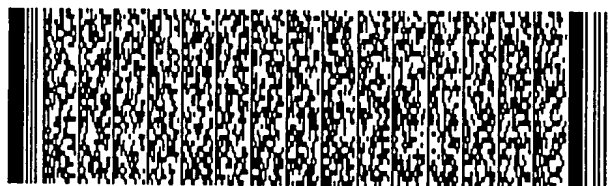
其中，藉由控制該第一開關器及該第二開關器之啟閉時間，使該等效阻抗之大小由該第一阻抗值及該第二阻抗值所決定。

2. 如申請專利範圍第1項所述之阻抗電路，其中該第一阻抗及該第二阻抗均為電阻。

3. 如申請專利範圍第1項所述之阻抗電路，其中該阻抗電路更包括一控制電路，用來產生一第一控制訊號以控制該第一開關器之啟閉，及該第二控制訊號以控制該第二開關器之啟閉。

4. 如申請專利範圍第3項所述之阻抗電路，其中藉由控制該第一控制訊號及該第二工作訊號之工作週期，以決定該等效阻抗之大小。

5. 如申請專利範圍第3項所述之阻抗電路，其中該第一開關器包含有一第一開關，電連接於該第一阻抗與該第一



六、申請專利範圍

節點之間，該第二開關器包含有一第二開關，電連接於該第二阻抗與該第一節點之間。

6. 如申請專利範圍第3項所述之阻抗電路，其中該第一開關器包含有一第一開關，電連接於該第一阻抗與該第一節點之間，該第二開關器包含有一第二開關，電連接於該第二阻抗與該第二節點之間。

7. 如申請專利範圍第1項所述之阻抗電路，其中該第一開關器包含有至少一第一傳輸閘，依據該第一控制訊號開閉，該第二開關器包含有至少一第二傳輸閘，依據該第二控制訊號開閉。

8. 如申請專利範圍第1項所述之可調整式阻抗電路，其中該第一開關器包含有至少一第一MOS電晶體，用來依據該第一控制訊號開閉，該第二開關器包含有至少一第二MOS電晶體，用來依據該第二控制訊號開閉。

9. 一種方法用以控制一阻抗電路於一第一節點及一第二節點之間提供一等效阻抗，該阻抗電路具有一第一阻抗與第二阻抗，該方法包含：

- 使該第一阻抗與該第一節點及該第二節點連接；
- 使該第一阻抗與該第一節點及該第二節點不連接；
- 使該第二阻抗與該第一節點及該第二節點連接；以及



六、申請專利範圍

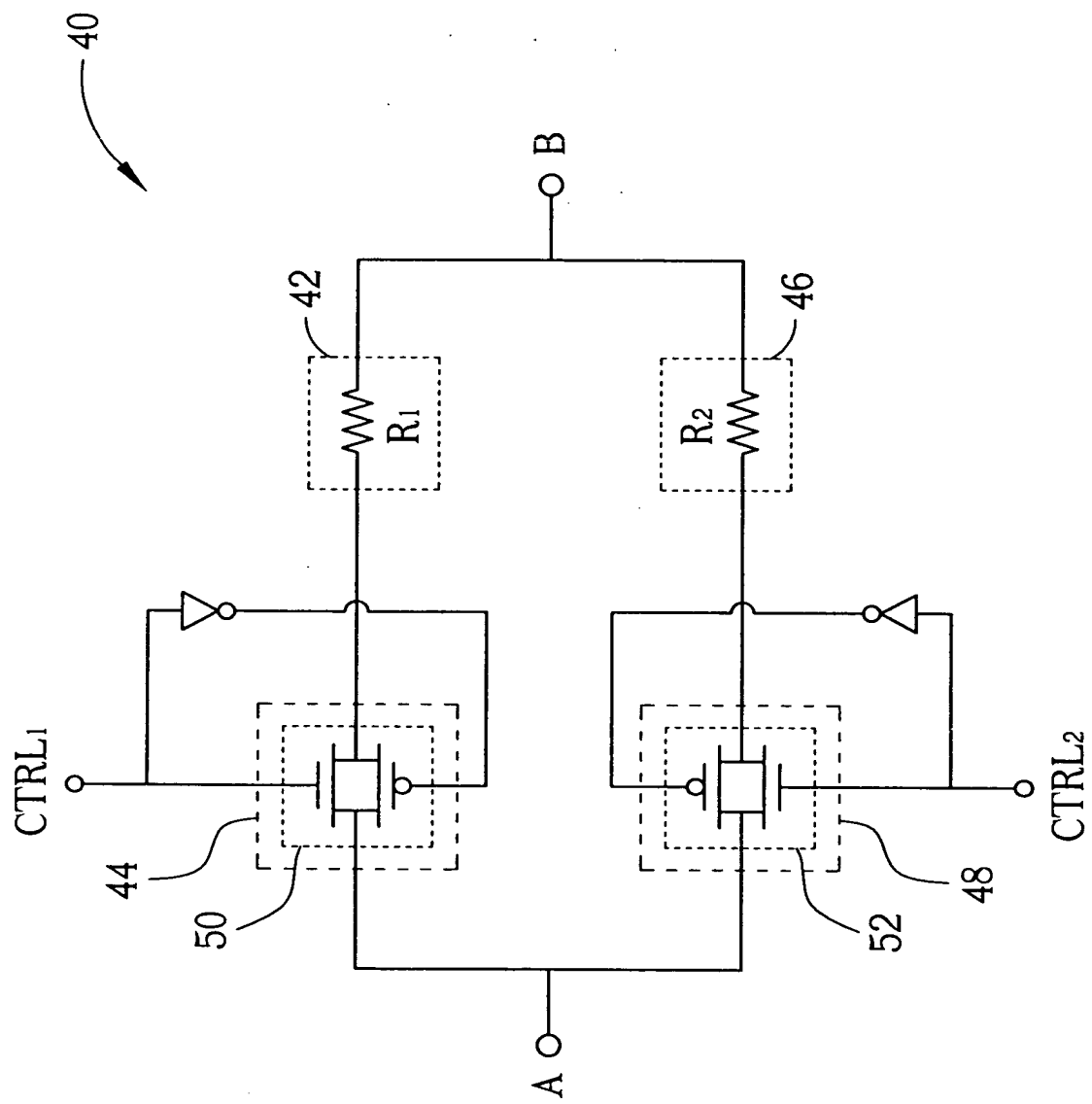
使該第二阻抗與該第一節點及該第二節點不連接；

其中，藉由控制該第一阻抗及該第二阻抗與該第一節點及該第二節點之連接時間，使該等效阻抗由該第一阻抗及該第二阻抗所決定。

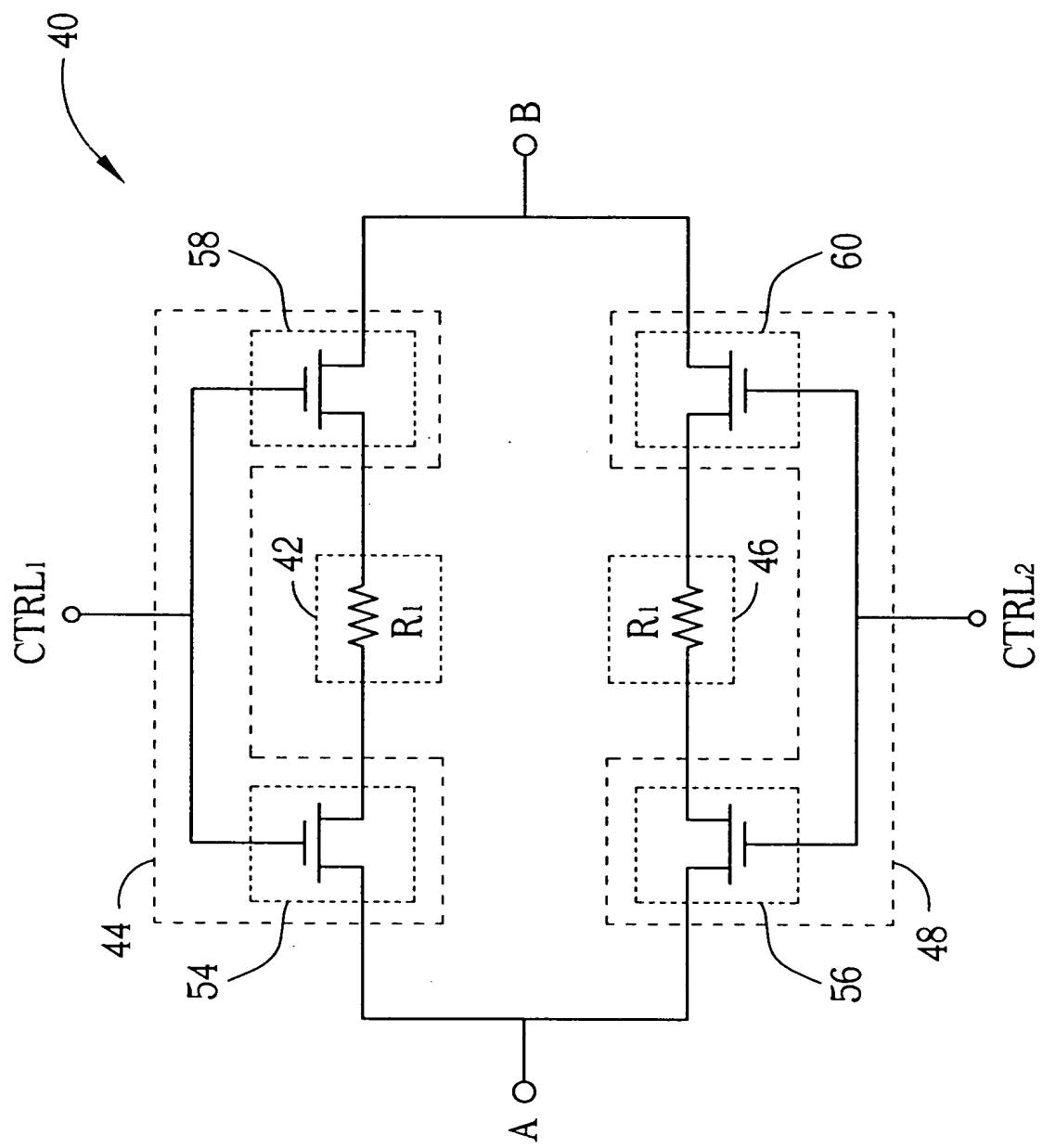
10. 如申請專利範圍第9項所述之方法，其中該第一阻抗及該第二阻抗均為電阻。

11. 如申請專利範圍第9項所述之方法，其中該第一阻抗及該第二阻抗係交替地與該第一節點及該第二節點連接。

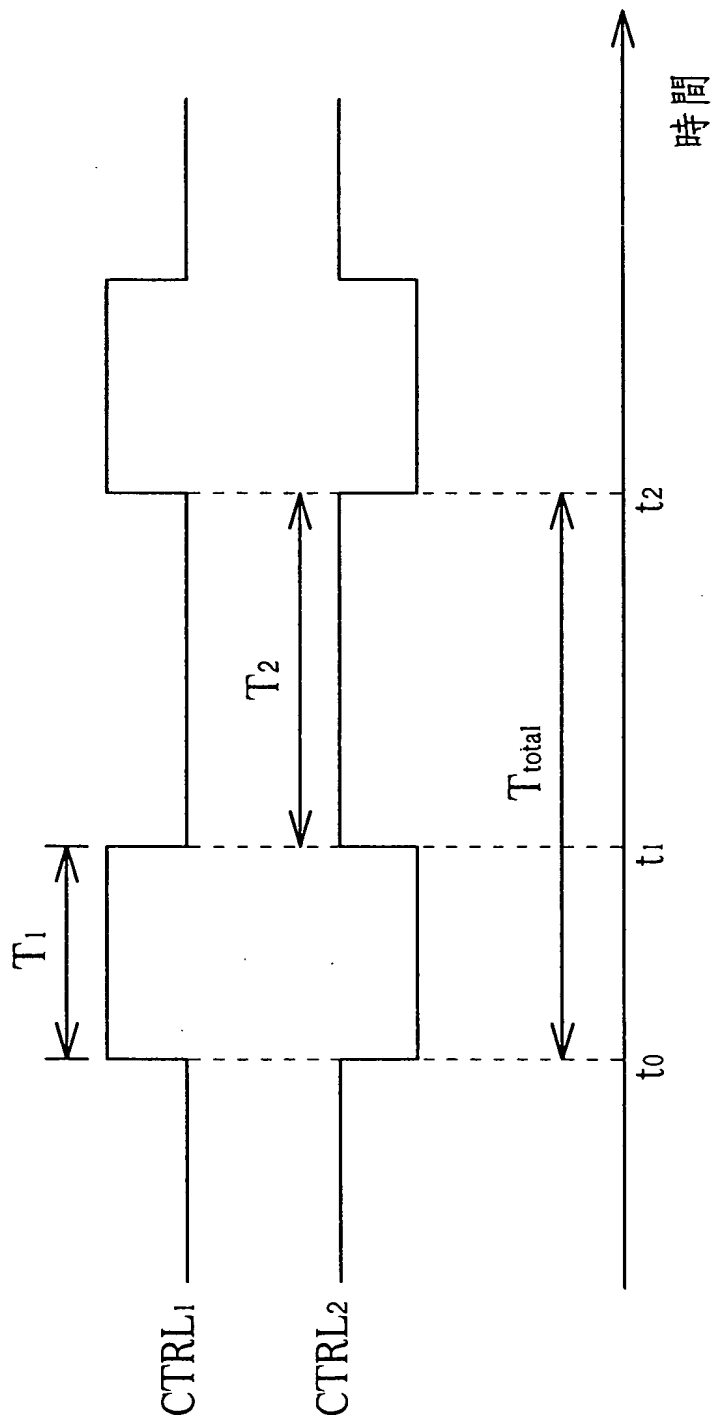




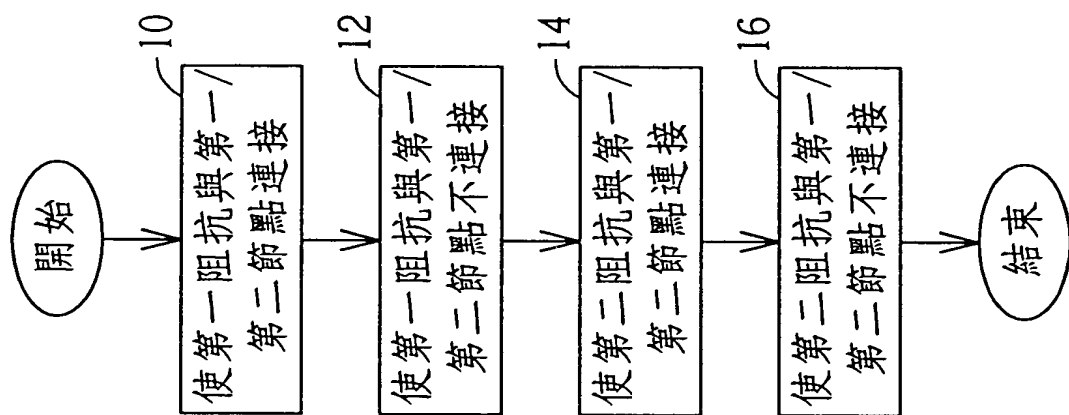
圖一



圖二

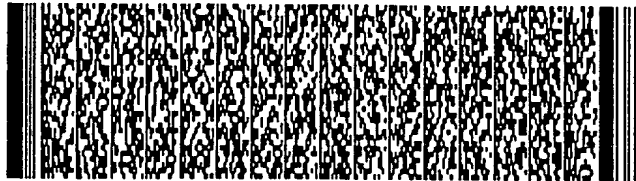


圖三



圖四

第 1/19 頁



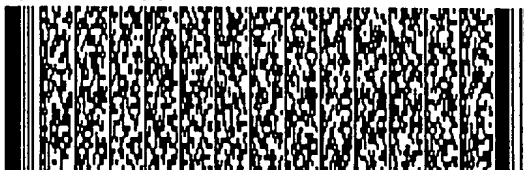
第 2/19 頁



第 3/19 頁



第 3/19 頁



第 4/19 頁



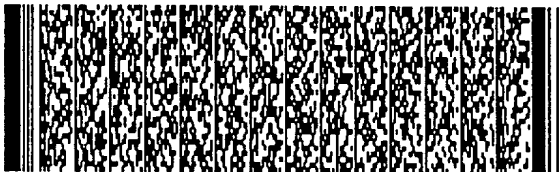
第 5/19 頁



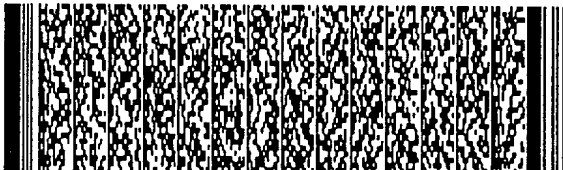
第 6/19 頁



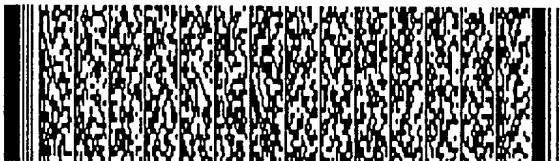
第 7/19 頁



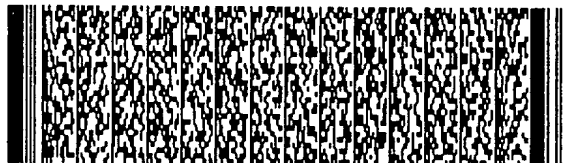
第 7/19 頁



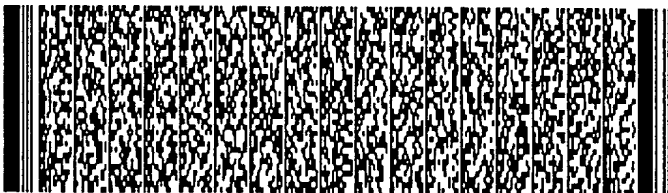
第 8/19 頁



第 8/19 頁



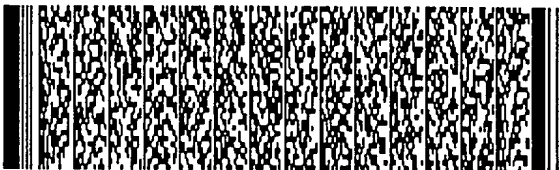
第 9/19 頁



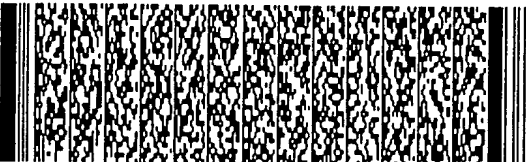
第 10/19 頁



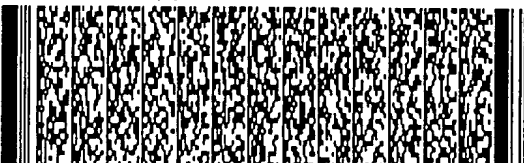
第 10/19 頁



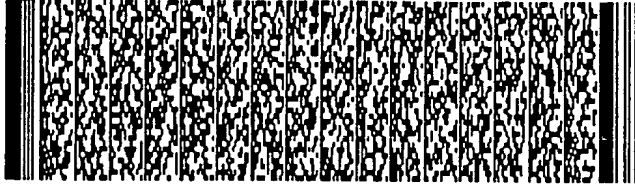
第 11/19 頁



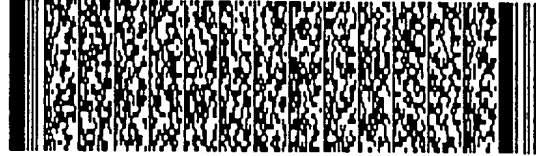
第 11/19 頁



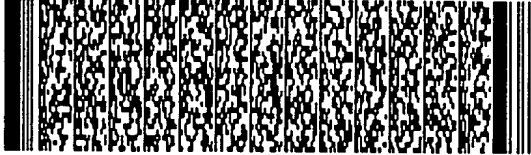
第 12/19 頁



第 13/19 頁



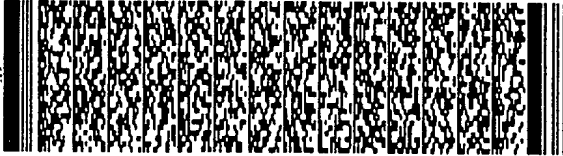
第 13/19 頁



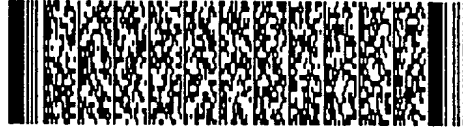
第 14/19 頁



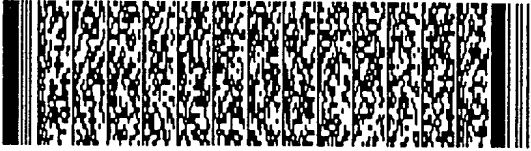
第 14/19 頁



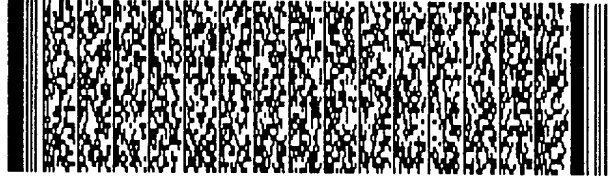
第 15/19 頁



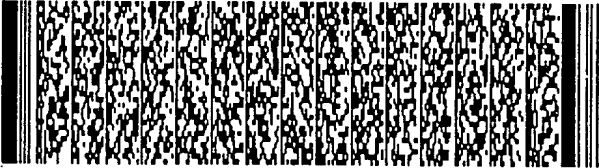
第 16/19 頁



第 17/19 頁



第 18/19 頁



第 19/19 頁

